

TỔNG HỢP QUY TRÌNH CHẾ TẠO CHIP QUANG VÀ ỨNG DỤNG CHẾ TẠO THIẾT BỊ CHUYỂN ĐỔI VÀ GHÉP MODE CHO HỆ THỐNG GHÉP KÊNH PHÂN CHIA THEO MODE

**Hồ Đức Tâm Linh*, Nguyễn Tuấn Vinh, Nguyễn Hoàng Huy,
Đặng Ngọc Sơn, Trần Thị Thu Hiền, Vương Quang Phước**

Trường Đại học Khoa học, Đại học Huế

*Email: hdtlinh@hueuni.edu.vn

Ngày nhận bài: 5/10/2024; ngày hoàn thành phản biện: 8/10/2024; ngày duyệt đăng: 01/11/2024

TÓM TẮT

Trong bài báo này, chúng tôi tổng hợp quy trình thiết kế và chế tạo một chip quang từ bước cơ bản nhất là ý tưởng thiết kế đến bước cuối cùng là đo kiểm sản phẩm. Từ đó, chúng tôi ứng dụng quy trình này để chế tạo một bộ chuyển đổi và ghép bốn mode cho hệ thống ghép kênh phân chia theo mode.

Từ khoá: Chip quang, chuyển đổi mode, ghép mode, MDM.

1. MỞ ĐẦU

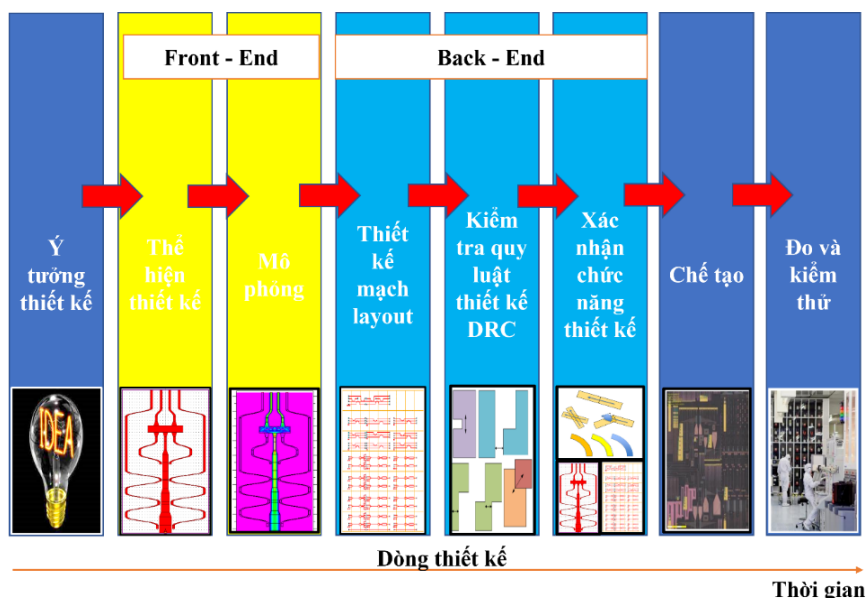
Chip quang được chế tạo trên nền vật liệu silicon được xem là hướng nghiên cứu tương lai của công nghệ tốc độ cao. Chip quang cung cấp nhiều lợi thế hơn so với chip điện tử thông thường bởi những ưu điểm vượt trội như tốc độ cao hơn, băng thông lớn hơn và suy hao năng lượng thấp hơn [1-2]. Công nghệ tiên tiến này đang thúc đẩy lĩnh vực công nghệ và khoa học vượt qua những giới hạn mà thời đại điện tử đang tồn tại. Tuy nhiên, để chip quang phát triển rực rỡ như chip điện tử thì cần phải có thời gian và cần được đầu tư nghiên cứu, cải tiến nhiều, đặc biệt là cải tiến công nghệ chế tạo. Hiện tại, do tính bảo mật cao và đang ở giai đoạn đầu của việc phát triển và nghiên cứu nên trên thế giới chưa có một quy trình chuẩn chung cho sự chế tạo chip quang này. Nhiều lĩnh vực quan trọng đang ứng dụng các công nghệ chế tạo chip quang như y tế, viễn thông, quốc phòng, truyền thông dữ liệu, cảm biến và dữ liệu điện toán đám mây. Một công nghệ rất nổi bật, đang được các nhà nghiên cứu trong lĩnh vực truyền thông dữ liệu chú ý đến, đó là công nghệ ghép kênh phân chia theo mode (MDM) [3-4]. Công nghệ ghép kênh này được các nhà khoa học đặc biệt chú ý, bởi vì công nghệ này cung cấp một cách tiếp cận mới cho phép ghép được nhiều kênh hơn và có khả năng nâng cao các liên kết trong cùng một bước sóng mang đơn [5-6]. Trong hệ thống MDM, mỗi tín hiệu được điều chế trên một mode quang trực giao khác nhau và được dẫn trong cùng một ống

dẫn sóng đa mode. Theo đó, số lượng kênh tín hiệu ghép trên cùng một đường truyền sẽ tăng lên nếu số lượng các bậc mode trực giao khác nhau tăng lên. Ngoài ra, theo dự đoán của các nhà nghiên cứu, việc áp dụng công nghệ ghép kênh phân chia theo mode vào trong mạng ghép kênh phân chia theo bước sóng (WDM) sẽ hỗ trợ rất tích cực để tăng dung lượng cho hệ thống [7]. Sự kết hợp này sẽ mở ra một hướng phát triển rực rỡ cho mạng thông tin quang trên chip trong tương lai gần. Tuy nhiên, sự tham gia của các mode bậc cao trong các hệ thống MDM tạo ra một số thách thức lớn khi xử lý các tín hiệu đa mode này.

Trong bài báo này, chúng tôi sẽ trình bày một quy trình từ thiết kế cho đến chế tạo ra một chip quang và ứng dụng quy trình này để bước đầu chế tạo ra một mạch tích hợp quang tử quan trọng trong mạng ghép kênh phân chia theo mode, đó là bộ ghép kênh và chuyển đổi mode. Chúng tôi không phân tích chi tiết các thông số của thiết bị, chúng tôi chỉ tập trung vào hiệu suất chuyển đổi quang của thiết bị chuyển đổi và ghép kênh bốn mode TE₀, TE₁, TE₂ và TE₃ ứng với quy trình thiết kế và chế tạo mà chúng tôi tổng hợp.

2. QUY TRÌNH THIẾT KẾ VÀ CHẾ TẠO CHIP QUANG

Để tạo ra một chip quang có thể hoạt động tốt và đúng với yêu cầu đặt ra thì việc tuân thủ một quy trình thiết kế và chế tạo là rất quan trọng. Điều quan trọng hơn là quy trình này phải đảm bảo cho quá trình chế tạo số lượng lớn với độ ổn định và chính xác cao. Quy trình thiết kế và chế tạo ra một con chip quang tử được gọi là dòng thiết kế. Hiểu một cách nôm na dòng thiết kế là quá trình biến ý tưởng ban đầu thành một chip có khả năng hoạt động tốt. Hình 1 minh họa một dòng thiết kế chuẩn đang được sử dụng của đại đa số các hãng làm việc trong lĩnh vực thực thi chip quang tử [8-10].



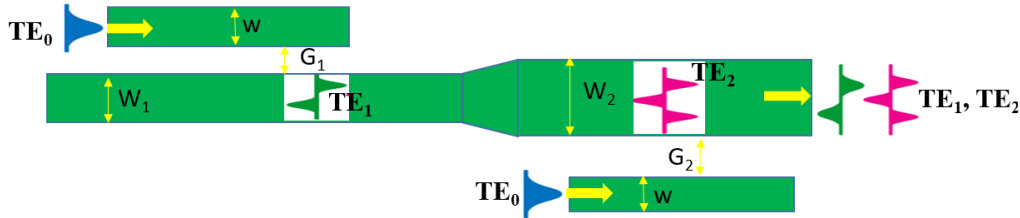
Hình 1. Dòng thiết kế của một chip quang tử.

2.1. Bước 1: Ý tưởng thiết kế

Bắt đầu một dòng thiết kế là ý tưởng thiết kế. Một ý tưởng thiết kế tốt phải trả lời được các câu hỏi như: Thiết bị làm ra thực hiện chức năng là gì? Nguyên tắc hoạt động của thiết bị này như thế nào? Thiết bị này hoạt động tốt cần phải đạt các tiêu chí gì? Thiết bị sẽ được sử dụng ở đâu và như thế nào? Tất nhiên để có được những ý tưởng hay, độc đáo hay thực dụng thì người nghiên cứu phải căn cứ vào nhu cầu thực tế, tìm đọc tài liệu, có khả năng tổng hợp, so sánh với các công trình nghiên cứu khác, đồng thời phải hỏi thêm các ý kiến chuyên gia, những người có kinh nghiệm trong lĩnh vực mà mình dự định tiến hành thực hiện.

Chúng ta biết rằng hệ thống ghép kênh phân chia theo mode sẽ làm việc với các mode quang có bậc khác nhau, do đó sẽ cần có các bộ phát đa mode: TE₀, TE₁, TE₂, TE₃ Tuy nhiên, trên thực tế, các laser phát tín hiệu thì chỉ phát ổn định với các tín hiệu mode bậc thấp TE₀. Từ nhu cầu cấp thiết đó, các nhà nghiên cứu phải tạo ra một thiết bị có thể chuyển đổi mode quang bậc thấp TE₀ thành các mode quang bậc cao hơn (TE₁, TE₂, TE₃ ...). Ngoài ra, để các tín hiệu này ghép kênh và phát vào hệ thống cùng lúc thì cần phải có một thiết bị ghép kênh các mode bậc cao đó lại trong cùng một thiết bị. Qua quá trình khảo sát, chúng tôi nhận thấy kỹ thuật ghép định hướng là phù hợp cho yêu cầu này. Khi hai ống dẫn sóng với độ rộng phù hợp và khoảng cách đặt thích hợp thì có khả năng ghép định hướng và chuyển đổi mode từ ống dẫn sóng này sang ống dẫn sóng khác. Hình 2 là ý tưởng ban đầu về thiết kế một bộ ghép mode và chuyển đổi mode từ các mode quang bậc thấp (TE₀) thành các mode quang bậc cao hơn (TE₁, TE₂). Theo lý thuyết của ghép định hướng, việc ghép và chuyển đổi tín hiệu mode quang từ ống dẫn sóng này sang ống dẫn khác phụ thuộc vào một loạt các tham số như: chiết suất của vật

liệu ống dẫn sóng, độ rộng hai ống dẫn sóng (w, W_1, W_2) và cả khoảng cách giữa hai ống dẫn sóng (G_1, G_2). Do đó, việc tính toán và mô phỏng chi tiết để chuyển đổi đúng bậc mode như yêu cầu là rất cần thiết.



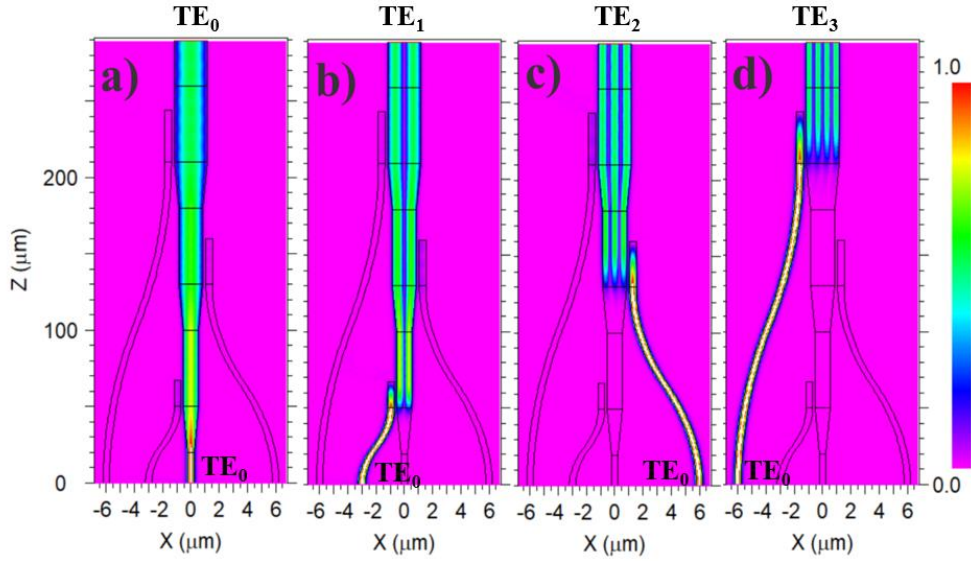
Hình 2. Mô hình chuyển đổi và ghép kênh mode bậc cao từ các bộ ghép định hướng

2.2. Bước 2 và 3: Thiết kế và mô phỏng

Tiến trình tiếp theo của luồng thiết kế là thể hiện thiết kế và mô phỏng. Đối với các mạch có kích thước nhỏ, thường là đơn thành phần hoặc rất ít các thành phần kết nối lại với nhau thì việc sử dụng mô phỏng trường điện từ là phù hợp [11-13]. Các mô phỏng này thường chính xác trên các cấu trúc hình học thực tế, nhưng chi phí tính toán (thời gian và tiêu thụ bộ nhớ) sẽ tăng lên khá lớn nếu như kích thước mạch tăng lên. Mô phỏng trường điện từ này sẽ không thực tế và có thể là bất khả thi nếu mạch của chúng ta quá lớn với quá nhiều thành phần kết hợp lại.

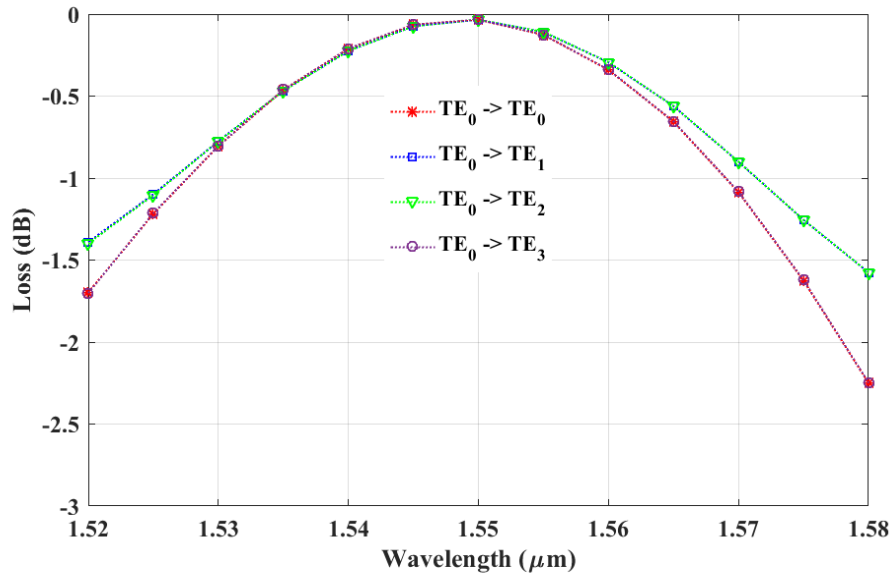
Để giải quyết việc mô phỏng các mạch có kích thước lớn này, người ta thường chia mạch thành các thành phần nhỏ, mỗi thành phần có một mô hình hành vi (chức năng) khác nhau. Các thành phần này có thể được tái sử dụng trong cùng một mạch hoặc sử dụng ở các mạch khác. Do vậy, mô phỏng toàn bộ mạch chính là sự kết hợp các mô hình hành vi đơn giản để tạo nên một mô hình hành vi phức tạp của mạch.

Tại bước 2, chúng tôi đã mô phỏng và tối ưu thiết kế bộ chuyển đổi và ghép bốn mode TE0, TE1, TE2 và TE3 trong cùng một cấu trúc thiết bị. Trong phần này, chúng tôi không đi chi tiết cách tính toán và tối ưu để đạt được sự chuyển đổi và ghép mode. Chúng tôi chỉ ra rằng, việc sử dụng kỹ thuật ghép định hướng là hoàn toàn khả thi để chuyển đổi và ghép mode. Hình 3 là hình ảnh mô phỏng thành công trường điện được phát từ các nhánh khác nhau của thiết bị.



Hình 3. Mô phỏng bộ ghép kênh và chuyển đổi bốn mode (a) Mode $TE_0 \rightarrow TE_0$, (b) $TE_0 \rightarrow TE_1$, (c) $TE_0 \rightarrow TE_2$, (d) $TE_0 \rightarrow TE_3$

Hình ảnh trường điện trong Hình 3 chỉ cho ta thấy khả năng chuyển đổi thành công từ các mode bậc thấp TE_0 thành các mode bậc cao (TE_1 , TE_2 , TE_3). Kết quả mô phỏng này không đánh giá được hiệu suất chuyển đổi quang từ mode TE_0 đến các mode bậc cao là bao nhiêu phần trăm, hay suy hao quang là bao nhiêu. Hình 4 là kết quả của việc sử dụng phương pháp đánh giá số để đánh giá hiệu quả chuyển đổi quang của thiết bị trong khoảng bước sóng dài 60 nm (từ bước sóng 1,52 μm đến 1,58 μm). Kết quả chỉ ra rằng, suy hao khi chuyển đổi tín hiệu TE_0 ở đầu vào đến các mode quang bậc cao ở đầu ra là đồng đều và rất thấp. Suy hao này luôn nằm trong khoảng 2,3 dB đến 0,1 dB cho bốn trường hợp chuyển đổi và ghép mode.

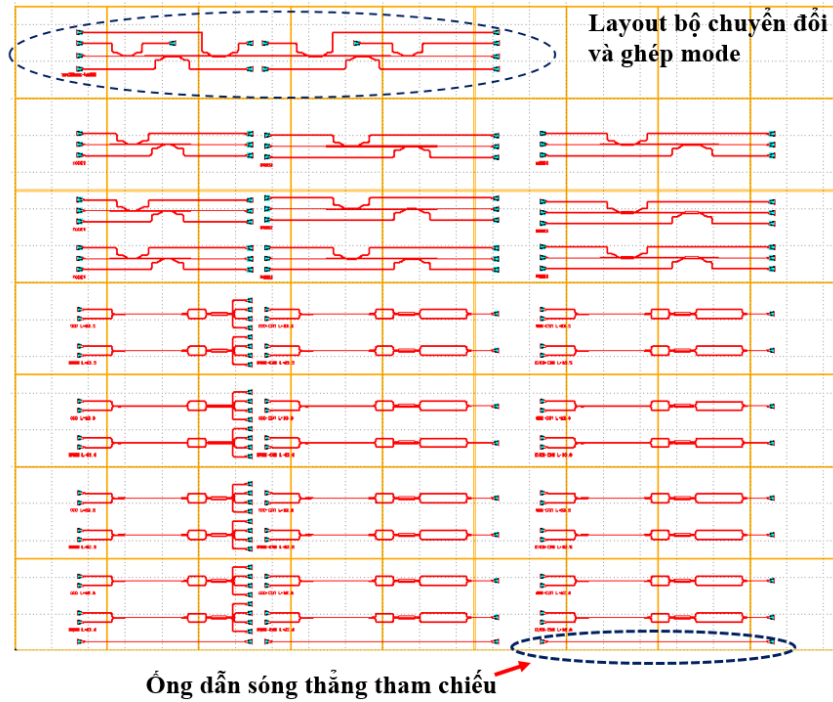


Hình 4. Suy hao tín hiệu tại của bộ ghép và chuyển đổi mode tại các ngõ ra.

2.3. Bước 4, 5 và 6: Thiết kế bố cục và kiểm tra tính chính xác.

Thiết kế bố cục (Bước 4): Thiết kế bố cục (layout) chính là tạo ra các mẫu dùng để phục vụ cho việc chế tạo chip. Các vấn đề được quan tâm trong tiến trình tạo ra bố cục đó là lựa chọn các cấu trúc hình học nguyên thủy cho các thành phần, thiết lập vị trí của các thành phần và kết nối các thành phần này như thế nào cho phù hợp? Trong đó, cấu trúc hình học nguyên thủy của các thành phần có thể được vẽ bằng tay hoặc vẽ bằng máy tính hay thậm chí sử dụng lập trình bằng các tập lệnh. Trong quá trình vẽ các thành phần này, chúng ta phải chú ý đến việc quy định chúng nằm ở lớp thứ mấy trong quá trình thiết kế mạch. Việc quy định lớp thứ mấy liên quan đến quá trình tạo mặt nạ để chế tạo chip sau này.

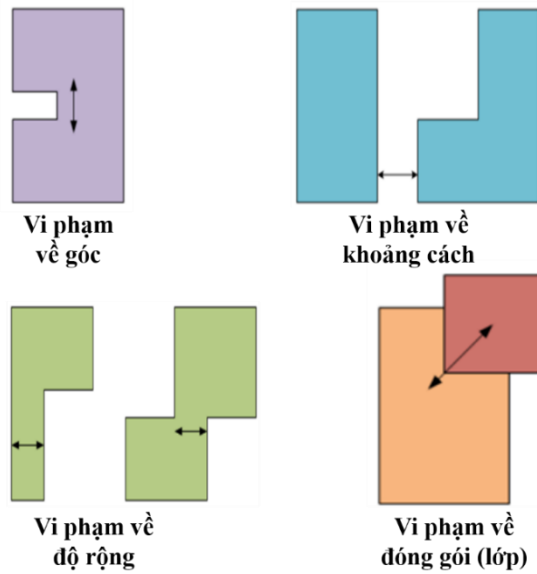
Hình 5 minh họa phần bố cục của cấu trúc bộ chuyển đổi và ghép mode (phần khoanh tròn đứt nét màu xanh trên cùng) được chúng tôi thiết kế dựa trên phần mềm IPKISS. Để tiết kiệm chi phí, chúng tôi sắp xếp bố cục bộ chuyển đổi và ghép mode trên cùng một miếng đế silicon của một con chip phục vụ trong ngành y tế. Con chip này được chế tạo và đo kiểm nhiều lần để đánh giá kỹ hơn về tính năng của nó trước khi sản xuất hàng loạt.



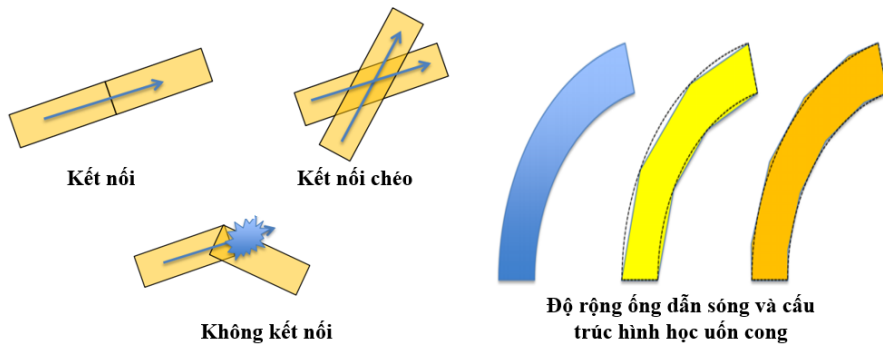
Hình 5. Bố cục của bộ chuyển đổi và ghép mode.

Xác minh (Bước 5 và 6): Sau khi bố cục mạch được tạo ra, người thiết kế dựa vào quy tắc thiết kế (DRC) do các hãng tạo chip quang tử cung cấp để kiểm tra xem có các lỗi tiềm ẩn hay không (bước 5). Điều này bao gồm các thông số kỹ thuật về khoảng hở tối thiểu giữa các thành phần quang học, góc nhọn của ống dẫn sóng, độ rộng ống dẫn sóng hoặc sự chùng chéo của các lớp (Hình 6). Vì hình học quang tử khác biệt đáng kể so với hình học điện tử nên các quy tắc DRC chú ý sự cải thiện độ cong và gấp khúc của các ống dẫn sóng.

Cấp độ kiểm tra thứ hai (bước 6) sẽ xác nhận thiết kế mạch ở cấp độ chức năng, mục đích là để xác minh khả năng kết nối (Hình 7). Trong bước này, bố cục nên được so sánh với ý định thiết kế ban đầu của mạch trừu tượng (bước 2). Loại xác minh này được biết đến trong thiết kế điện tử dưới dạng “bố cục so với sơ đồ” (LVS). Thông thường, quá trình bố trí mạch quang tử trước đây tách rời với quá trình mô phỏng mạch nên bước này được đánh giá là quan trọng đối với người thiết kế. Người thiết kế phải đảm bảo các thành phần ứng với các thông số đã đề ra, các kết nối đúng cách, các cổng vào ra đặt đúng hướng và sự ràng buộc độ dài các ống dẫn sóng khả thi. Đây là một trong những khía cạnh dễ xảy ra lỗi nhất trong các quy trình thiết kế ngày nay và phải được đảm bảo bởi tính kỷ luật tốt trong quản lý dữ liệu, đồng thời phải được đánh giá ngang hàng các thiết kế.



Hình 6. Cấp độ kiểm tra thứ nhất dựa vào quy tắc thiết kế DRC.

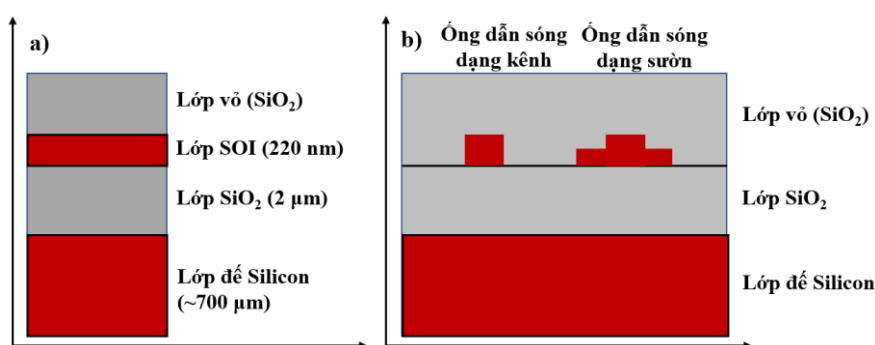


Hình 7. Cấp độ kiểm tra thứ hai xác nhận chức năng thiết kế

2.4. Bước 7: Chế tạo

Sau khi bố cục được thiết kế và xác nhận đảm bảo mọi chức năng thì bố cục sẽ được chuyển đến để chế tạo thành con chip. Có hai phương pháp thông dụng nhất cho việc chế tạo chip là chế tạo bằng phương pháp quang khắc (photolithography) và phương pháp khắc chùm tia điện tử (e-beam lithography). Đối với mục đích nghiên cứu, các thành phần quang tử kích thước nano thường được chế tạo bằng phương pháp khắc chùm tia điện tử. Ưu điểm của phương pháp này là độ chính xác rất cao, nhưng nhược điểm là khắc chậm và không thích hợp để chế tạo hàng loạt. Phương pháp quang khắc thường được sử dụng để chế tạo các mạch tích hợp quang tử hàng loạt do khả năng sử dụng lại các mặt nạ, tuy nhiên độ phân giải không cao bằng phương pháp khắc chùm tia điện tử.

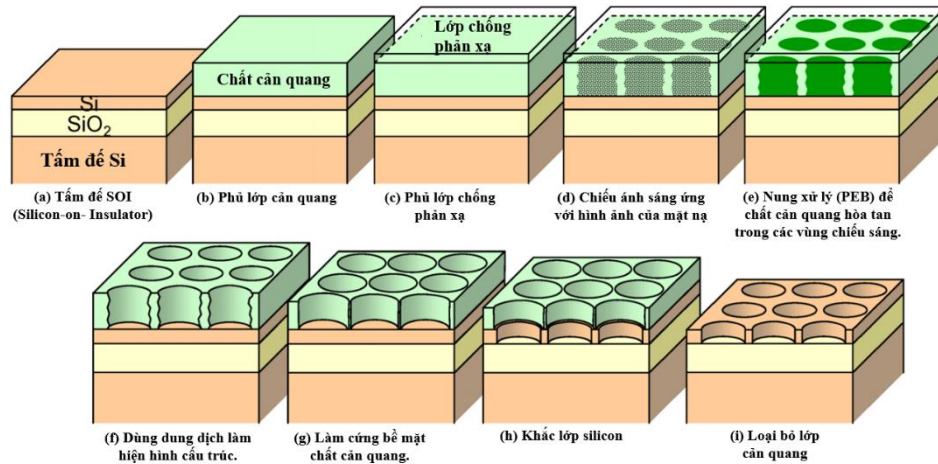
Các ống dẫn sóng quang tử silicon thường được thiết kế dựa trên hai cấu trúc thông dụng nhất, đó là cấu trúc ống dẫn sóng dạng kênh (channel waveguide) và cấu trúc dạng sóng dạng sườn (rib waveguide) (Hình 8). Cả hai cấu trúc này đều được xây dựng trên một tấm đế silicon (silicon substrate) rộng khoảng 200 mm, với độ dày khoảng 700 μm . Phía trên tấm đế silicon lần lượt là các lớp oxit (SiO_2) dày 2 μm , lớp silicon với độ cao được chuẩn hóa công nghiệp là 220 nm (đây chính là dạng hình học của thiết kế được thể hiện) và trên cùng là lớp vỏ. Ở đây lớp vỏ có thể là không khí hoặc lớp oxit (SiO_2).



Hình 8. (a) mặt cắt ngang của tấm SOI, (b) Hai loại cấu trúc ống dẫn sóng thông dụng nhất trong quang tử silicon.

Tùy thuộc vào các ứng dụng cụ thể và phụ thuộc vào công nghệ chế tạo ở các phòng thí nghiệm mà quá trình chế tạo có sự khác nhau. Tuy nhiên, để chế tạo ra một chip quang tử thì có những công đoạn bắt buộc và giống nhau ở các phòng thí nghiệm. Chúng tôi sẽ trình bày một quá trình chế tạo mạch quang tử trong phòng thí nghiệm dựa trên công nghệ quang khắc sử dụng in thạch bản UV sâu và khắc khô.

Quá trình chế tạo được minh họa trong Hình 9. Đầu tiên, tấm đế silicon SOI rộng 200 mm được phủ một lớp cản quang (photoresist) và nung sơ bộ (soft bake) bước đầu tiên để loại bỏ dung môi khỏi chất cản quang và cải thiện độ bám dính của chất cản quang với bề mặt tấm silicon. Bước tiếp theo là phủ một lớp chống phản xạ quang (AR coating) ở lớp trên cùng để giảm sự phản xạ ánh sáng khi chiếu tia UV vào lớp mặt nạ. Tiếp tục là quá trình chiếu sáng vào chất cản quang theo hình ảnh mặt nạ được thiết kế ở bước layout. Mặt nạ thường là một tấm thủy tinh hữu cơ được phủ một màng crôm trên đó khắc họa những chi tiết phù hợp với thiết kế. Sau bước khắc mặt nạ là bước xử lý PEB, tức là tiếp tục nung lần thứ hai để làm cho chất cản quang có thể hòa tan trong các khu vực tiếp xúc. Bước sau nữa là bước phát triển (development), ở bước này dùng dung dịch để hiện ra cấu trúc in trên lớp cản quang. Chuẩn bị cho quá trình quan trọng là khắc (etching) hình ảnh đã được in trên lớp cản quang lên lớp silicon ở dưới, người ta thường thực hiện một quá trình làm cứng bề mặt chất cản quang, mục đích của quá trình này là giúp định hình tốt cấu trúc lớp cản quang.



Hình 9. Quy trình chế tạo cấu trúc quang tử trong SOI sử dụng kỹ thuật in thạch bản UV sâu và khắc khô [14].

Có hai kỹ thuật khắc được sử dụng trong công nghệ chế tạo là kỹ thuật khắc ướt (wet etch) và khắc khô (dry etch). Khắc ướt là quá trình loại bỏ vật liệu sử dụng hóa chất lỏng hoặc chất ăn mòn, còn khắc khô là sự bắn phá của các ion làm bật các phần của vật liệu ra khỏi bề mặt tiếp xúc. Khắc khô hiện đang được sử dụng rộng rãi trong các quy trình chế tạo mạch tích hợp quang tử do khả năng vượt trội so với khắc ướt ở đặc điểm khắc định hướng với cấu trúc có tỷ lệ khung hình cao. Tùy yêu cầu mà có thể chọn chỉ khắc lớp silicon trên cùng hay khắc sâu xuống lớp oxit bên dưới.

Như vậy, các hình dạng trên lớp silicon không được chất cản quang che chắn sẽ bị bắn phá. Cuối cùng của quá trình chế tạo là bước loại bỏ chất cản quang ra khỏi bề mặt. Từ đó, chúng ta thu được hình dạng mong muốn được in trên lớp silicon như hình dạng thiết kế ở lớp layout.

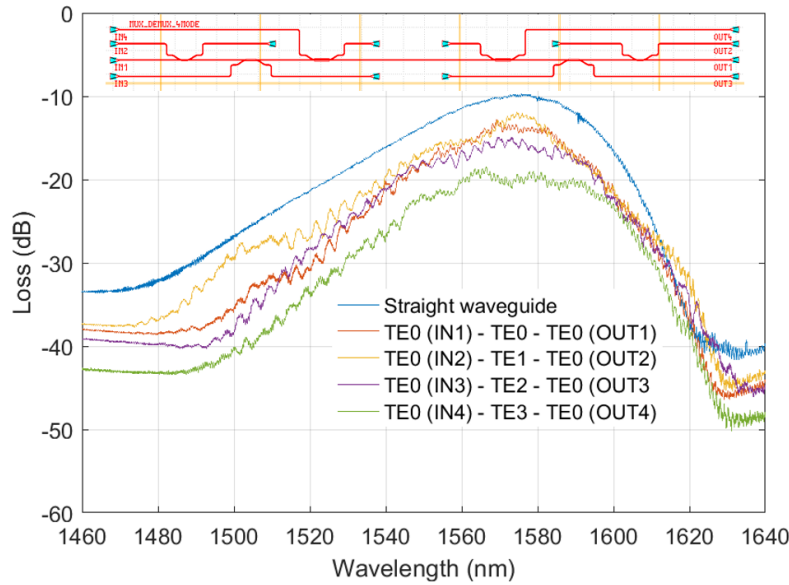
2.5. Bước 8: Đo đạc và kiểm thử

Để đánh giá hiệu suất chuyển đổi quang của cấu trúc được thiết kế, người ta đo sự lan truyền ánh sáng khi truyền qua cấu trúc đó theo một hàm của bước sóng. Ánh sáng từ một laser có thể điều chỉnh bước sóng trong khoảng cần đo, thông thường nằm trong khoảng từ 1460 nm đến 1640 nm, ghép chuyển tiếp từ sợi quang đơn mode vào một taper và từ taper vào cấu trúc cần đo. Ở phía thu bố trí ngược lại quá trình chuyển tiếp ánh sáng như bên phát, có nghĩa là ánh sáng ở ngõ ra của cấu trúc cần đo đi ra taper, và từ taper chuyển sang sợi quang đơn mode, từ sợi quang này sẽ đưa ánh sáng vào bộ thu có độ nhạy cao và hiển thị thông tin lên màn hình.

Do các ống dẫn sóng quang tử silicon có kích thước lõi nhỏ nên việc ghép nối các ống dẫn sóng này đến sợi quang và theo chiều ngược lại là không hề đơn giản. Trước đây việc ghép nối này là sử dụng các taper đoạn nhiệt, tuy nhiên, các cấu trúc đoạn nhiệt này yêu cầu độ dài chuyển tiếp dài, dẫn đến dấu in trên chip lớn. Vì vậy, đây là điều

thật sự không hữu ích đối với các mạch tích hợp cấu trúc nhỏ. Để cải tiến sự cộng kênh này, hai loại ghép nối khác được thiết kế để chuyển tiếp ánh sáng từ sợi quang vào thành phần cần đo và từ thành phần cần đo đến sợi quang của máy thu, đó là bộ ghép nối dựa trên cách tử sợi quang và bộ chuyển đổi kích thước điểm nhỏ gọn.

Đối với mạch tích hợp đơn giản thì việc đo chi tiết các thông số là khá dễ dàng, nhưng với các mạch tích hợp cỡ lớn thì thường sử dụng mô hình thống kê để đánh giá chất lượng thiết kế của toàn bộ mạch tích hợp.



Hình 10. Suy hao chuyển đổi tín hiệu trên thiết bị được chế tạo

Tín hiệu mode TE₀ được phát ra từ laser được dẫn qua sợi quang đơn mode và truyền đến bộ chuyển đổi và ghép kênh mode và thu ở bộ thu tín hiệu quang. Tín hiệu TE₀ tại các ngõ vào IN1, IN2, IN3 và IN4 lần lượt sẽ được chuyển đổi thành các mode TE₀, TE₁, TE₂ và TE₃. Sau đó, các mode bậc cao này được chuyển đổi ngược lại tín hiệu TE₀ ở các ngõ ra OUT1, OUT2, OUT3 và OUT4. Suy hao của tín hiệu là tỉ lệ công suất tín hiệu ở ngõ ra với công suất ở ngõ vào tính theo đơn vị dB. Trong quá trình chế tạo, chúng tôi luôn thêm vào các ống dẫn sóng thẳng (Hình 5) để đối chiếu công suất thu được so với các cấu trúc được thiết kế khác. Đường đồ thị liên tục màu xanh dương (Hình 10) chỉ sự suy hao của ống dẫn sóng thẳng tham chiếu, bốn đường đồ thị còn lại (đỏ, vàng, tím, xanh lá) lần lượt chỉ suy hao khi chuyển đổi tín hiệu TE₀ thành TE₀, TE₁, TE₂ và TE₃. Đường suy hao của các tín hiệu này tương đối giống nhau, ít suy hao nhất là sự chuyển đổi tín hiệu từ TE₀ đến TE₁, đường suy hao lớn nhất là sự chuyển đổi tín hiệu từ TE₀ đến TE₃. Xét trên một khoảng rộng từ 1530 nm đến 1610 nm thì suy hao luôn từ 30 dB trở lên trong cả bốn trường hợp chuyển đổi và ghép mode. Hiệu suất chuyển đổi quang này khác xa nhiều so với mô phỏng. Giải thích cho điều này là vì trong phần mô phỏng, chúng tôi phát trực tiếp mode đến cấu trúc thiết bị, hiệu suất ghép từ

nguồn đến thiết bị là 100%, còn trên thực tế để ghép được ánh sáng từ laser vào trong thiết bị thì phải qua một sợi quang, và từ sợi quang có bán kính lớn hơn nhiều so với ngõ vào của thiết bị. Vì vậy, việc ghép ánh sáng này phải nhờ qua cấu trúc trung gian là bộ ghép cách tử Bragg. Kết quả việc ghép ánh sáng vào thiết bị cần đo dẫn đến công suất ánh sáng bị suy giảm đi gần 50%.

Cần lưu ý rằng, một nhà thiết kế mạch tốt thì ở bước 2 cần nghĩ đến các vấn đề liên quan đến việc đo kiểm và kiểm tra ở khâu cuối cùng. Các vấn đề đó có thể là: cấu trúc biểu diễn như thế nào cho hợp lý, chúng tôi có thể cách ly giữa các thành phần như thế nào, các tham số chúng tôi muốn đo kiểm là gì, và chúng tôi phân tích dữ liệu đo như thế nào?...Do vậy, sau quá trình đo kiểm nếu xảy ra vấn đề thì phải quay lại bước thể hiện thiết kế để kiểm tra lại mạch.

3. KẾT LUẬN

Trong bài báo này, chúng tôi đã tham khảo dòng thiết kế của các phòng thí nghiệm trên thế giới, đồng thời làm rõ hơn một số bước trong quá trình từ kinh nghiệm tham gia chế tạo của chúng tôi tại đại học RMIT, Úc. Trên thực tế, mỗi phòng thí nghiệm có một công nghệ chế tạo riêng, tuy nhiên hầu hết các mạch tích hợp quang tử silicon đều được thiết kế và chế tạo theo tám bước trong dòng thiết kế được trình bày ở trên. Các bước có mối quan hệ mật thiết với nhau, để đảm bảo có được một chip quang tốt thì không thể tách rời bất kỳ một bước nào trong tám bước. Kết quả chế tạo bộ chuyển đổi và ghép mode theo quy trình ở trên chỉ là lần chế tạo thử nghiệm đầu tiên của nhóm tác giả. Đây chưa phải là kết quả tốt nhất, tuy nhiên kết quả đã phản ánh được cấu trúc thiết kế đáp ứng kỳ vọng về sự chuyển đổi đúng số mode và ghép kênh các mode trên cùng một thiết bị. Để tăng hiệu suất chuyển đổi quang, cần phải chế tạo nhiều lần với các thông số thử nghiệm khác nhau. Mặc dù lĩnh vực chế tạo chip quang còn mới ở Việt Nam, tuy nhiên qua kết quả này, chúng tôi hy vọng sẽ mở ra một hướng nghiên cứu và chế tạo chip quang tại Việt Nam trong tương lai.

LỜI CẢM ƠN

Kết quả của nghiên cứu này được hỗ trợ từ đề tài khoa học - công nghệ cấp Đại học Huế, mã số: DHH2024-01-216, và đề tài nghiên cứu khoa học cấp trường Đại học Khoa học, mã số: DHKH2024B-08.

TÀI LIỆU THAM KHẢO

- [1]. Matthew Sparkes, "Chip can transmit all of the internet's traffic every second". October 20, 2022.
- [2]. Larry Coldren; Scott Corzine; Milan Mashanovitch, "Diode Lasers and Photonic Integrated Circuits", John Wiley and Sons, 2012.
- [3]. X. Zi, L. Wang, K. Chen, and K. S. Chiang, "Mode-selective switch based on the thermo-optic asymmetric directional coupler," *IEEE Photonics Technol. Lett.*, vol. 30, no. 7, pp. 618–621, (2018).
- [4]. Q. Huang, K. S. Chiang, and W. Jin, "Thermo-Optically Controlled Vertical Waveguide Directional Couplers for Mode-Selective Switching," in *IEEE Photonics Journal*, vol. 10, no. 6, pp. 1-14, Dec. (2018).
- [5]. R.I. Sabitu, N.G. Khan, A. Malekmohammadi, "Recent progress in optical devices for mode division multiplex transmission system", *Opto-Electronics Review*, Volume 27, Issue 3, 2019.
- [6]. D. Dai, "Silicon mode-(de)multiplexer for a hybrid multiplexing system to achieve ultrahigh capacity photonic networks-on-chip with a single-wavelength-carrier light", In *Asia Communications and Photonics Conference, OSA Technical Digest*, paper ATh3B.3 (2012).
- [7]. Li, Can & Zhang, Hongyi & Zhou, Gangqiang & Lu, Liangjun & Jin, Minhui & Dong, Jianji & Zhou, Linjie & Chen, Jianping. (2021). Hybrid WDM-MDM transmitter with an integrated Si modulator array and a micro-resonator comb source. *Optics Express*, 2021.
- [8]. Wim Bogaerts, Lukas Chrostowski, *Silicon Photonics Circuit Design: Methods, Tools and Challenges*, Volume 12, Issue 4, April 2018.
- [9]. D. F. Gallagher, T. P. Felici, in *Integrated Optoelectronics Devices*, 2003, pp. 69– 82.
- [10]. M. Heins, C. Cone, J. Ferguson, R. Cao, J. Pond, J. Klein, T. Korthorst, A. Bakker, R. Stoffer, M. Fiers, A. Khanna, W. Bogaerts, P. Dumon, K. Nesmith, in *Design Flow Automation for Silicon Photonics: Challenges, Collaboration, and Standardization*, (Eds: L. Pavesi, D. Lockwood), Springer Berlin Heidelberg, Berlin, Heidelberg 2016, pp. 99– 156.
- [11]. K. S. Kunz, R. J. Luebbers, *The Finite Difference Time Domain Method for Electromagnetics*, CRC press 1993.
- [12]. J. M. Jin, *The Finite Element Method in Electromagnetics*, John Wiley & Sons 2015.
- [13]. W. Huang, C. Xu, S. -. Chu and S. K. Chaudhuri, "The finite-difference vector beam propagation method: analysis and assessment," in *Journal of Lightwave Technology*, vol. 10, no. 3, pp. 295-305, March 1992, doi: 10.1109/50.124490.
- [14]. W. Bogaerts, D. Taillaert, B. Luyssaert, P. Dumon, J. Van Campenhout, P. Bienstman, D. Van Thourhout, R. Baets, V. Wiaux, and S. Beckx, "Basic structures for photonic integrated circuits in Silicon-on-insulator," *Opt. Express* 12, 1583-1591 (2004).

SYNTHESIZING A PROCESS OF OPTICAL CHIP MANUFACTURING AND APPLYING IT TO MANUFACTURE A MODE CONVERTING AND MULTIPLYING DEVICE FOR MODE DIVISION MULTIPLEXING SYSTEMS

**Ho Duc Tam Linh*, Nguyen Tuan Vinh, Nguyen Hoang Huy,
Dang Ngoc Son, Tran Thi Thu Hien, Vuong Quang Phuoc**

University of Sciences, Hue University

*Email: hdtlinh@hueuni.edu.vn

ABSTRACT

This paper synthesized a comprehensive process for designing and manufacturing an optical chip, from the essential step of forming a design idea to the final step of measuring and testing the device. Applying this process, we successfully manufacture a device capable of simultaneously converting and multiplexing four modes for use in mode-division multiplexing application.

Keywords: Mode conversion, mode multiplexing, MDM, optical chip.



Hồ Đức Tâm Linh sinh ngày 03/02/1986 tại Huế. Ông nhận bằng Kỹ sư Điện tử - Viễn thông tại Trường Đại học Khoa học, ĐHH Huế vào năm 2009 và bằng Thạc sĩ Khoa học tại Trường Đại học Công nghệ Hà Nội, Đại học Quốc gia Việt Nam vào năm 2014. Năm 2023, ông nhận bằng Tiến sĩ ngành Kỹ thuật viễn thông tại Trường Đại học Khoa học và Công nghệ Đà Nẵng. Hiện tại ông đang là giảng viên thuộc Khoa Điện, Điện tử và Công nghệ Vật liệu, Trường Đại học Khoa học, Đại học Huế.

Lĩnh vực nghiên cứu: Truyền thông quang học, Xử lý tín hiệu toàn quang, Mạch tích hợp quang tử, và IoT.



Nguyễn Tuấn Vinh sinh ngày 24/06/2003 tại Thừa Thiên Huế. Ông hiện tại là sinh viên chuyên ngành Kỹ thuật viễn thông, Trường Đại học Khoa học, Đại học Huế.

Lĩnh vực nghiên cứu: IoT, Mạng máy tính và mạng toàn quang.



Nguyễn Hoàng Huy sinh ngày 10/07/2003 tại Thừa Thiên Huế. Ông hiện tại là sinh viên chuyên ngành Kỹ thuật viễn thông, Trường Đại học Khoa học, Đại học Huế.

Lĩnh vực nghiên cứu: IoT, Mạng máy tính và mạng toàn quang.



Đặng Ngọc Sơn sinh ngày 09/10/2003 tại Thừa Thiên Huế. Ông hiện tại là sinh viên chuyên ngành Kỹ thuật viễn thông, Trường Đại học Khoa học, Đại học Huế.

Lĩnh vực nghiên cứu: IoT, Mạng máy tính và mạng toàn quang.



Trần Thị Thu Hiền sinh ngày 22/07/2003 tại Thừa Thiên Huế. Bà hiện tại là sinh viên chuyên ngành Kỹ thuật viễn thông, Trường Đại học Khoa học, Đại học Huế.

Lĩnh vực nghiên cứu: IoT, Mạng máy tính và mạng toàn quang.



Vương Quang Phước sinh ngày 14/08/1990 tại Thừa Thiên Huế. Năm 2013, ông tốt nghiệp kỹ sư chuyên ngành Điện tử viễn thông, Trường Đại học Khoa học, Đại học Huế. Năm 2018, ông nhận bằng thạc sĩ chuyên ngành Kỹ thuật Điện tử tại Trường Đại học Bách Khoa Đà Nẵng. Hiện nay, ông đang công tác tại Khoa Điện, Điện tử và Công nghệ vật liệu, Trường Đại học Khoa học, Đại học Huế.

Lĩnh vực nghiên cứu: Hệ thống thông tin quang, mạng máy tính, Trí thông minh nhân tạo (AI).

